

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 63293939
PUBLICATION DATE : 30-11-88

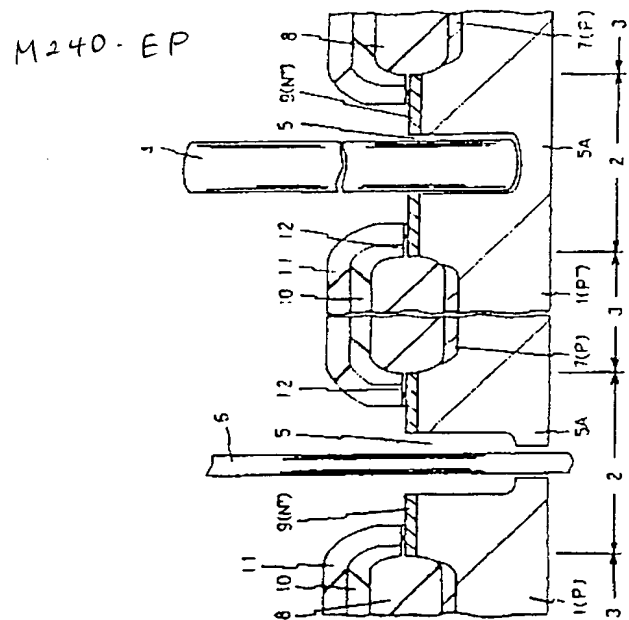
APPLICATION DATE : 27-05-87
APPLICATION NUMBER : 62128320

APPLICANT : HITACHI VLSI ENG CORP;

INVENTOR : NAITO SHIGEYUKI;

INT.CL. : H01L 21/78 B23K 26/00 B28D 5/00

TITLE : MANUFACTURE OF
SEMICONDUCTOR INTEGRATED
CIRCUIT DEVICE



ABSTRACT : PURPOSE: To cut a semiconductor wafer into a plurality of chips without generating microcracks, by cutting the semiconductor wafer into a plurality of chips by using laser.

CONSTITUTION: A dicing region 2 is cut down up to a specified depth by a dicing saw 4. In this case, the dicing region 2 is not completely cut off, but a cutting residue 5A is formed, whose thickness is, e.g., about 20 μm . In order to generate no cracks on the bottom, the side surface, etc., of the groove 5, the wafer is subjected to cutting while water is sprinkled. The spot diameter of a laser 6 is made sufficiently small, in order to irradiate the bottom of the groove 5 formed by the dicing saw 4. The spot diameter is made smaller than the thickness of the dicing saw 4. The cutting residue 5A is melted and cut by radiating the laser 6. Thereby, mechanical impulse is not applied to the cutting residue, so that microcracks do not generate.

COPYRIGHT: (C)1988,JPO&Japio

THIS PAGE BLANK (USPTO)

M 240-EP

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-293939

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月30日

H 01 L 21/78
B 23 K 26/00
B 28 D 5/00
H 01 L 21/78

Q-7376-5F
D-7920-4E
Z-7366-3C
B-7376-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路装置の製造方法

⑯ 特 願 昭62-128320

⑰ 出 願 昭62(1987)5月27日

⑱ 発 明 者 内 藤 繁 之 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立超エル・エス・アイエンジニアリング株
式会社 東京都小平市上水本町1448番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

1. ダイシングソーにより半導体ウエハをハーフ
カットし、次いで前記半導体ウエハをレーザに
よる陥断を用いて複数のチップに切斷すること
を特徴とする半導体集積回路装置の製造方法。

2. 前記半導体ウエハの表面は複数の領域に区画
され、その区画されたそれぞれの領域に集積回
路が構成されていることを特徴とする特許請求
の範囲第1項記載の半導体集積回路装置の製造方
法。

3. 前記レーザは、前記区画されたそれぞれの領
域の間をダイシングソーで所定の深さまで切り
下げた後、その切り残しの部分に照射すること
によって半導体ウエハを複数のチップに切斷すること
を特徴とする特許請求の範囲第1項記載の半導体
集積回路装置の製造方法。

4. 前記レーザのスポット径は、ダイシングソー

の厚さより細くされることを特徴とする特許請
求の範囲第1項記載の半導体集積回路装置の製
造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置の製造方法に関
し、特に、半導体ウエハを所定領域から切斷して
複数のチップにする技術に関するものである。

〔従来技術〕

半導体ウエハは、その表面の集積回路が形成さ
れるそれぞれの集積回路領域(チップ領域)の間
をダイシングソーで切斷することによって複数のチ
ップに分割される。このダイシングソーで半導体
ウエハを切斷して複数のチップにする技術は、例
えば特開昭58-100443号公報に記載されて
いる。

〔発明が解決しようとする問題点〕

ダイシングソーで半導体ウエハの表面から裏面
まで完全に切斷する(フルカット)と、裏面に近
い部分の切斷面にマイクロクラックを生じる。そ

特開昭63-293939(2)

ここで、半導体ウエハをダイシングソーで完全に切断してしまわずに、厚さが数十 μm 程度の切り残しを生じるようにダイシング（ハーフカット）し、この後前記切り残しの部分から割るようにしている。

しかしながら、前記ハーフカットによる切断においても、半導体ウエハを割る際に多数のマイクロクラックを生じる。このマイクロクラックがチップの封止後に欠けると、チップの表面にダメージを与える。

本発明の目的は、マイクロクラックを生じることなく、半導体ウエハを複数に切断する技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

（問題点を解決するための手段）

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

コン膜からなるフィールド絶縁膜8と、その下のPチャネルストップ領域7とで素子分離がなされているが、これらフィールド絶縁膜8及びPチャネルストップ領域7はダイシング領域2には形成しないようにしている。また、集積回路領域3上には例えばMISFETのゲート電極等を覆う第1層目の層間絶縁膜10、さらに層間絶縁膜10の上を延在する例えば第1層目のアルミニウム膜からなる配線を覆う最終保護膜11が設けられるが、これら層間絶縁膜10、最終保護膜11は、ダイシング領域2では選択的に除去するようにしている。前記層間絶縁膜10は、例えばCVDによる酸化シリコン膜とこの上に積層されるリンシリケートガラス（PSG）膜とで構成している。最終保護膜11は、例えばCVDによる酸化シリコン膜と、この上に積層した窒素ガラス（SiO₂N₂）膜と、さらにこの上に積層したPSG膜と、さらにこの上に積層した例えばプラズマCVDによる酸化シリコン膜とで構成している。12は例えばMISFETのゲート絶縁膜を形成する際に形成された薄い酸化

すなわち、半導体ウエハをレーザを用いて複数のチップに切断するものである。

〔作用〕

上述した手段によれば、半導体ウエハに機械的衝撃が加わらないので、マイクロクラックを生じることなく半導体ウエハを複数に切断することができる。

〔発明の実施例〕

以下、本発明の一実施例を図面を用いて説明する。

第1図は、切断中の半導体ウエハを模式的に示した斜視図、

第2図は、半導体ウエハの切断中の断面図である。

第1図及び第2図において、1はP単結晶シリコンからなる半導体ウエハであり、2が半導体ウエハ1を複数に切断するための領域いわゆるダイシング領域、3が集積回路領域である。集積回路領域3の半導体素子が形成される部分は、半導体ウエハ1の表面の選択的な熱酸化による酸化シリ

コン膜であるが、この酸化シリコン膜12もダイシング領域2では選択的に除去される。しかし、これら酸化シリコン膜12、層間絶縁膜10、最終保護膜11は、ダイシング領域2上の部分を除去せずに、それらで覆ったままとしておいてもよい。また、フィールド絶縁膜8から露出している半導体ウエハ1の表面のN⁺半導体領域9は、例えばNチャネルMISFETのソース、ドレイン領域形成時に形成されたものである。

本実施例の半導体ウエハ1の切断方法は、まずダイシング領域2をダイシングソー4によって所定の深さまで切り下げる。ここで、図示していないが、半導体ウエハ1の裏面は粘着テープが貼られ、ダイシングソー4を掛けた後も半導体ウエハ1がばらばらにならないようになっている。5がダイシングソー4によって形成された溝である。すなわち、ダイシングソー4ではダイシング領域2を完全に切断せずに、切り残し5Aが生じるようにする。この切り残し5Aの厚さは、特に限定する必要はないが、例えば20 μm 程度にして、

溝5の底の部分あるいは溝5の側面等にマイクロクラックが生じないようにする。なお、図示していないが、ダイシングソー4は、水を掛けながらダイシング領域2の切り下げを行うようになっている。

レーザ6は、ダイシングソー4によって形成された溝5の底を照射するように、十分に細いスポット径にする。スポット径は、ダイシングソー4の厚さが100 μ m程度のもので、20～30 μ m程度のもので等々あるが、それらの厚さより小さくすればよい。このレーザ6の照射によって切り残し部5Aを溶断するので、その切り残しの部分に機械的な衝撃が加わらず、マイクロクラックを生じることがない。なお、レーザ6のみでダイシング領域6の表面から裏面まで完全に切断するようにしてもよいが、この実施例では切断時間を速くするため、ダイシングソー4を併用している。

レーザ6とダイシングソー4を掛ける順序は、種々組合せが可能である。例えば、ダイシングソー4の直ぐ後から切り残し5Aへレーザ6を照射

していくようにしてもよい。また、同一方向、例えばy方向に延びている全てのダイシング領域2にダイシングソー4を掛け、次にそれによって形成されたy方向に延在している溝5へレーザ6を照射して、半導体ウエハ1をy方向において分割する。次に、x方向に延びている全てのダイシング領域2にダイシングソー4を掛け、次にそれによって形成された溝5へレーザ6を照射して集積回路領域3ごとに分割するようにしてもよい。あるいは、y方向に延びるダイシング領域2及びx方向に延びるダイシング領域2の全てにダイシングソー4を掛けてからレーザ6を照射するようにしてもよい。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記のとおりである。

すなわち、半導体ウエハをレーザを用いて複数のチップに切断することにより、半導体ウエハに機械的衝撃が加わらないので、マイクロクラックを生じることなく半導体ウエハを複数に切断することができる。

4. 図面の簡単な説明

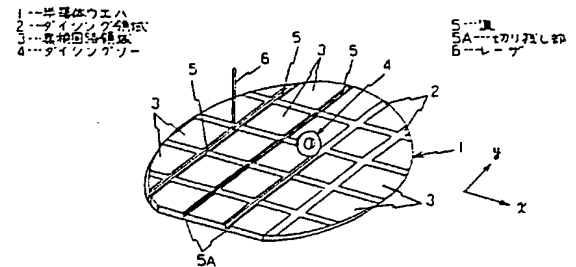
第1図は、切断中の半導体ウエハを模式的に示した斜視図。

第2図は、半導体ウエハの切断中の断面図である。

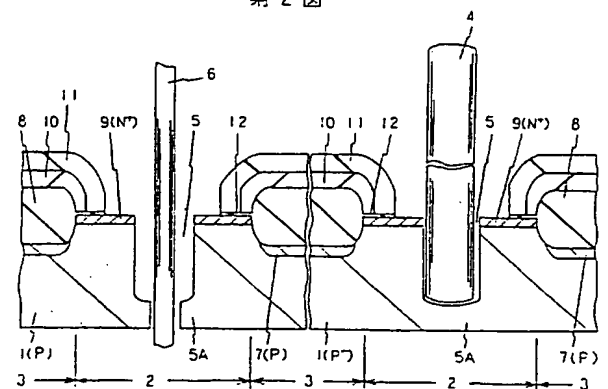
図中、1…半導体ウエハ、2…ダイシング領域、3…集積回路領域、4…ダイシングソー、5…溝、5A…切り残し、6…レーザ、7…チャネルストップ領域、8…フィールド絶縁膜、9…N⁺半導体領域、10、11、12…絶縁膜。

代理人 井理士 小川勝男

第1図



第2図



THIS PAGE BLANK (USPTO)